

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-089562

(43)Date of publication of application : 15.04.1991

(51)Int.Cl.

H01L 31/10  
H01L 21/331  
H01L 27/06  
H01L 29/73

(21)Application number : 01-226306

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 31.08.1989

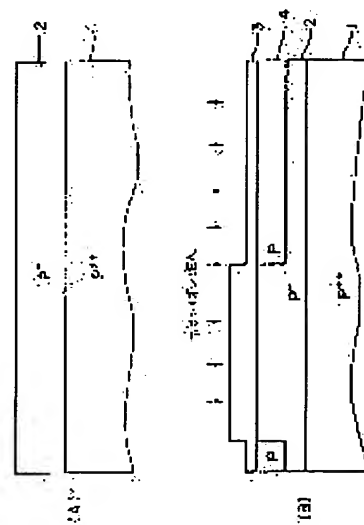
(72)Inventor : KYOMASU MIKIO  
SAWARA MASAOKI  
OKAJIMA KENICHI  
NAKAMURA HIROYASU

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To eliminate a punchthrough with a near transistor by surrounding the whole lower side of a npn bipolar transistor with a p-type buried layer having higher impurity concentration than that of a low concentration p-type epitaxial layer.

CONSTITUTION: A low concentration p-type epitaxial layer 2 having about  $10^{12}$ – $10^{14}$ /cm<sup>3</sup> of impurity concentration is formed on a high concentration semiconductor substrate 1 having  $10^{20}$ – $10^{21}$ /cm<sup>3</sup> of impurity concentration. Then, an SiO<sub>2</sub> film 3 is formed on the surface, and processed by a photolithography technique. With the film 3 as a mask, boron is ion implanted from above, and a p-well buried layer 4 for an npn transistor is formed. The impurity concentration of the layer 4 is about  $10^{15}$ – $10^{16}$ /cm<sup>3</sup>. A right half indicated at the position of the layer 4 is an npn transistor forming region, and a left half is a PIN photodiode forming region.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

Best Available Copy

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-89562

⑬ Int. Cl.<sup>5</sup>

H 01 L 31/10

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月15日

9055-5F H 01 L 31/10  
8728-5F 27/06

1 0 1 A  
D※

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-226306

⑰ 出 願 平1(1989)8月31日

⑱ 発 明 者 京 増 幹 雄 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内  
⑱ 発 明 者 佐 原 正 哲 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内  
⑱ 発 明 者 岡 島 賢 一 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内  
⑲ 出 願 人 浜松ホトニクス株式会 静岡県浜松市市野町1126番地の1  
社  
⑳ 代 理 人 弁理士 長谷川 芳樹 外3名  
最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 高濃度p型半導体基板上にPINフォトダイオードのI層として用いられる低濃度p型エビタキシャル層が形成され、さらにその上にn型エビタキシャル層が形成されている半導体装置であって、

前記n型エビタキシャル層中への不純物ドーブにより形成されたn型コレクタ層、p型ベース層およびn型エミッタ層によってnpnバイポーラトランジスタが構成されており、このnpnバイポーラトランジスタの下側全体が前記低濃度p型エビタキシャル層よりも高い不純物濃度を持つp型埋込層で囲まれている半導体装置。

2. 高濃度p型半導体基板上にPINフォトダイオードのI層として用いられる低濃度p型エ

ビタキシャル層が形成され、さらにその上にn型エビタキシャル層が形成されている半導体装置であって、

前記n型エビタキシャル層中への不純物ドーブにより形成されたn型コレクタ層、p型ベース層およびn型エミッタ層によってnpnバイポーラトランジスタが構成されており、このnpnバイポーラトランジスタの下側周辺全体が前記低濃度p型エビタキシャル層よりも高い不純物濃度を持つp型埋込層で囲まれている半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はプレーナ型npnトランジスタを含む半導体装置、特に、PINホトダイオードが形成される半導体基板にプレーナ型npnトランジスタが形成されている半導体装置に関するものである。

(従来の技術)

受光素子としてPINホトダイオードが用いら

れ、その信号処理回路用の電子素子としてnpnバイポーラトランジスタが用いられている光受信回路が従来から知られている。しかし、その従来回路では、PINホトダイオードとnpnバイポーラトランジスタとがそれぞれ別々のチップに形成されていて、ハイブリッドIC基板上にて相互に配線接続されていたにすぎない。

〔発明が解決しようとする課題〕

しかし、従来のハイブリッドICによる構成では、配線による寄生容量が大きいとか、組み込み工程を自動化しにくい等の問題があり、モノリシク化が望まれていた。

本発明の課題は、このような問題点を解消することにある。

〔課題を解決するための手段〕

上記課題を解決するために、本発明の半導体装置は、高濃度p型半導体基板上にPINフォトダイオードのI層として用いられる低濃度p型エピタキシャル層が形成され、さらにその上にn型エピタキシャル層が形成されている半導体装置であ

って、n型エピタキシャル層中への不純物ドーピングにより形成されたn型コレクタ層、p型ベース層およびn型エミッタ層によってnpnバイポーラトランジスタが構成されており、npnバイポーラトランジスタの下側全体、若しくは下側周辺全体が低濃度p型エピタキシャル層よりも高い不純物濃度を持つp型埋込層で囲まれているものである。

〔作用〕

PINホトダイオードのI層として用いられる低濃度p型エピタキシャル層の上にnpnトランジスタが形成されるため、何等対策を施さなければ近傍のトランジスタとパンチスルーを起こすが、p型埋込層が設けられているのでこれが防止される。なお、p型埋込層がnpnトランジスタの下側全体に設けられている場合は、基板への抵抗が小さい。また、p型埋込層がnpnトランジスタの下側周辺全体に設けられている場合は、コレクタ容量が小さい。

〔実施例〕

第1図は本発明の半導体装置の一実施例を示す部分断面斜視図であり、第2図はその製造過程を示す工程断面図である。

初めに第2図を参照しながらその製造方法を説明する。不純物濃度が $10^{20} \sim 10^{21}/\text{cm}^3$ 程度の高濃度p型半導体基板1上に不純物濃度が $10^{12} \sim 10^{14}/\text{cm}^3$ 程度の低濃度p型エピタキシャル層2を $30 \sim 50 \mu\text{m}$ の厚さで形成する。なお、図示が省略されているが半導体基板1の裏面にはオートドーピング阻止のための $\text{SiO}_2$ 膜が形成されている(第2図(A)参照)。つぎに、表面に $\text{SiO}_2$ 膜3を形成し、フォトリソグラフィ技術によってその $\text{SiO}_2$ 膜3を加工する。その $\text{SiO}_2$ 膜3をマスクとして上方からボロンをイオン注入し、npnトランジスタのためのpウェル埋込層4を形成する。この埋込層4の不純物濃度は $10^{15} \sim 10^{18}/\text{cm}^3$ 程度である(第2図(B)参照)。pウェル埋込層4の位置で示されるように、同図におけるほぼ右半分がnpnトラ

ンジスタ形成領域であり、左半分がPINホトダイオード形成領域である。ついで再び、フォトリソグラフィ技術などを用いて表面の $\text{SiO}_2$ 膜3を加工し、加工後の $\text{SiO}_2$ 膜をマスクとしてアンチモン(Sb)を熱拡散する。これによって、npnトランジスタ用のn型埋込層5およびPINホトダイオード用のn型埋込層6が形成される。n型埋込層5、6の不純物濃度は $10^{19} \sim 10^{20}/\text{cm}^3$ 程度である(第2図(C)参照)。第3図は上述した埋込層4~6のプロファイルを示しており、曲線Aがアンチモンのプロファイルであり、曲線Bがボロンのプロファイルである。その後、表面の $\text{SiO}_2$ 膜3を除去し、 $2 \mu\text{m} \pm 0.2 \mu\text{m}$ の厚さのn型エピタキシャル層7を形成する。その不純物濃度は $10^{15} \sim 10^{18}/\text{cm}^3$ 程度である(第2図(D)参照)。以上で、埋込拡散とエピタキシャル成長工程が終わる。

引き続き、分離プロセスについて説明する。

n型エピタキシャル層7の表面全体に、 $\text{SiO}_2$ 膜8およびSiN膜9を形成する。そして、

その上にレジスト10を塗布し、フォトリソグラフィ技術を用いて所望領域の $\text{SiO}_2$ 膜8および $\text{SiN}$ 膜9をエッチングで除去する。その後、 $\text{SiO}_2$ 膜8および $\text{SiN}$ 膜9をマスクとして、 $n$ 型エピタキシャル層7を表面から $0.1\mu\text{m}$ の深さまでウェットエッチングし、さらに $0.7\mu\text{m}$ の深さまで異方性ドライエッチングして、浅い溝を形成する(第2図(E)参照)。ここで、所望領域とは、 $npn$ トランジスタの分離領域、 $npn$ トランジスタ内部に将来設ける $p$ 型ベース層とコレクタウォールとの分離領域、 $PIN$ フォトダイオードの受光領域等である。

つぎに、レジスト11を塗布し、フォトリソグラフィ技術により分離領域に設けられた溝の上方のみを除去する。そして、レジスト11をマスクとして $3.0\mu\text{m}$ の異方性ドライエッチングを行い、浅い溝のうち分離領域にある溝を深くする。その後、レジスト11を残したままボロンのイオン注入を行い、深い溝のそれぞれの底部に $p^+$ のストップ層を形成する(第2図(F)参照)。つ

ぎに、レジスト11を除去し、 $p^+$ タブ12を形成する。 $p^+$ タブ12は、 $PIN$ フォトダイオード領域および $npn$ トランジスタ領域をそれぞれ取り囲むように形成される。ついで、レジストを除去し、各溝の内面に $\text{SiO}_2$ 膜および $\text{SiN}$ 膜を形成する。そして、 $\text{SiN}$ の異方性エッチングにより各溝の側壁の $\text{SiN}$ 膜を残したまま底部の $\text{SiN}$ 膜を除去する(第2図(G)参照)。続いて、 $6\text{気圧}$ 、 $1050^\circ\text{C}$ で雰囲気中で熱酸化を行う。これにより、 $\text{SiN}$ 膜で覆われていない部分が酸化される。この酸化によって得られる酸化膜の厚さは $1.5\mu\text{m}$ 程度であり、浅い溝をほぼ埋め尽くしてしまう。その後、ポリシリコン13を表面全体に堆積することにより、深い溝も穴埋めしてしまう。そして、ポリシリコン13の表面に $\text{SiO}_2$ 膜および $\text{SiN}$ 膜を形成し、ドライエッチングにより深い溝の上部のみに残るようにパターニングする(第2図(H)参照)。つぎに、ポリシリコン

13をエッチングする。これによって、深い溝の内部にのみポリシリコン13が残る。そして、表面に残された $\text{SiN}$ 膜をドライエッチングにより除去した後、酸化を行って表面を平坦化する(第2図(I)参照)。

つぎに、表面に $\text{SiO}_2$ 膜26および $\text{SiN}$ 膜27を形成する。これらの膜の所望の領域をフォトリソグラフィ技術を利用してパターニングする。残された $\text{SiO}_2$ 膜26および $\text{SiN}$ 膜27をマスクとして溝を拡散することにより、 $npn$ トランジスタのコレクタウォールとなる $n^+$ 層15および $PIN$ フォトダイオードの電極引き出し層となる $n^+$ 層16を形成する(第2図(J)参照)。なお、第2図(J)から(M)では、深い溝の中のポリシリコンおよび $\text{SiN}$ 膜の表示は簡単のため省略してある。続いて、 $\text{SiN}$ 膜の開口部を酸化した後、エミッタ領域にマスク17を形成し、ボロンをイオン注入して外部ベース18を形成する(第2図(K)参照)。さらに、フォトリソグラフィ技術でボロンをイオン注入して真性ベース

19を形成する。その後、 $\text{SiO}_2$ 膜20を化学的気相成長法(CVD)で堆積し、加熱してプロファイルを形成する(第2図(L)参照)。

つぎに、表面の $\text{SiO}_2$ 膜20および $\text{SiN}$ 膜をドライエッチングで除去した後、ポリシリコン21を堆積する。そして、ひ素をイオン注入する(第2図(M)参照)。その後、 $\text{SiO}_2$ 膜をCVDで堆積し、加熱してエミッタ22を形成する。なお、ベース19の下側に残されてる $n$ 型エピタキシャル層がコレクタ23となる。そして、 $\text{SiO}_2$ 膜および不要なポリシリコンをドライエッチングして除去し、再び $\text{SiO}_2$ 膜をCVDで堆積する(第2図(N)参照)。

第1図に示す半導体装置は、以上の工程を経た後、必要な電極を形成したものであり、同一基板上に $PIN$ フォトダイオード31と $npn$ トランジスタ32とがモノリシックに形成されている。 $PIN$ フォトダイオード31は、高濃度 $p$ 型半導体基板1を $P$ 層、低濃度 $p$ 型エピタキシャル層2を $I$ 層、 $n$ 型埋込層6を $N$ 層とする基板 $PIN$ フォトダ

イオードである。n型埋込層6には電極取出層16を介してカソード電極33が設けられており、基板1の裏面には図示省略したアノード電極が設けられている。電極間に逆バイアスが印加された状態で光が入射すると、低濃度p型エピタキシャル層2の空乏領域でキャリアが発生し、このキャリアが空乏領域の電界によって移動して光電流となる。また、 $p^+$ タブ層上の電極34は、裏面の電極と共にPINホトダイオードのアノード電極として機能するものである。この電極34がアノード電極として付加されることにより、アノード電極を裏面電極のみとしたときよりも寄生抵抗を低減することができる。

npnトランジスタ32には、図示のように、エミッタ電極35、ベース電極36、コレクタ電極37が設けられている。p型埋込層4は周囲の素子との間のパンチスルーを防止するために設けられている。また、分離溝の底部の周囲にはストップパ層29が設けられ、パンチスルーを一層効果的に防止している。本実施例では、npnトラン

ジスタ32全体に渡る領域にp型埋込層4が形成されているが、第4図に示すごとく、npnトランジスタ32の周囲を取り囲むようにp型埋込層41を設けてもよい。第1図に示すp型埋込層4は、コレクタ容量が比較的大きくなってしまいが、基板への抵抗が小さくなるという長所をもっている。一方、第4図に示すp型埋込層41は、コレクタ容量を小さくすることができるが、基板への抵抗が大きくなってしまふ。例えば、前者のタイプでは、コレクタ容量0.288pF、抵抗0.3 $\Omega$ とすることができ、後者のタイプでは、コレクタ容量0.09pF、抵抗330 $\Omega$ とすることができる。いずれのタイプの埋込層を用いるかは、用途に応じて適宜選択することが望ましい。(発明の効果)

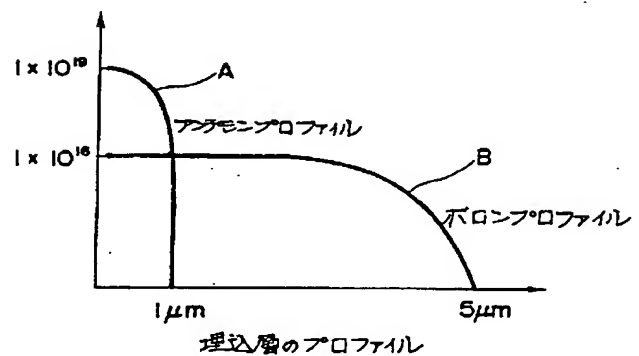
以上説明したように、本発明の半導体装置によれば、PINホトダイオードのI層として用いられる低濃度p型エピタキシャル層の上にn型エピタキシャル層が形成され、そのn型エピタキシャル層中にnpnトランジスタが形成されているが、

npnトランジスタ領域において、低濃度p型エピタキシャル層中にそれよりも濃い濃度をもつp型埋込層が設けられているので、近傍のトランジスタとパンチスルーを起こすことがない。

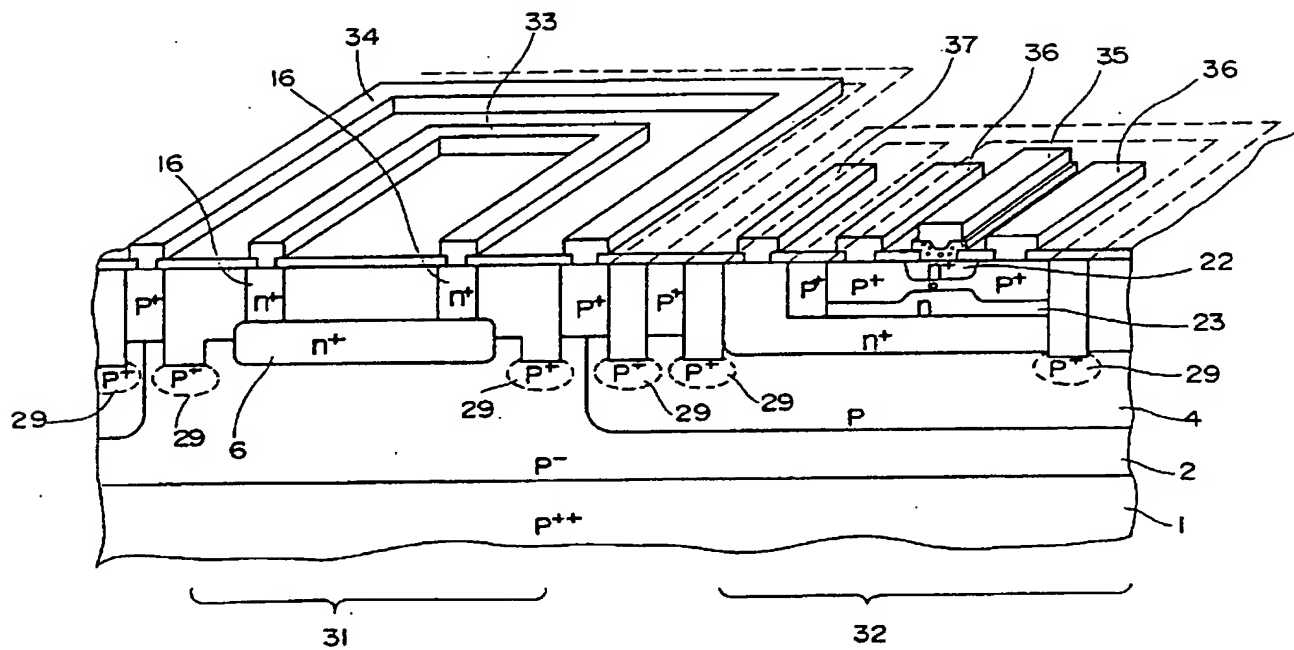
#### 4. 図面の簡単な説明

第1図は本発明の一実施例である半導体装置の部分断面斜視図、第2図はその製造方法を示す工程断面図、第3図は埋込層のプロファイルを示すグラフ、第4図は他の実施例を示す部分断面斜視図である。

1…高濃度p型半導体基板、2…低濃度p型エピタキシャル層、4、41…p型埋込層、5、6…n型埋込層、7…n型エピタキシャル層、12… $p^+$ タブ、18…外部ベース、19…真性ベース、22…エミッタ、23…コレクタ、31…PINホトダイオード、32…npnトランジスタ。

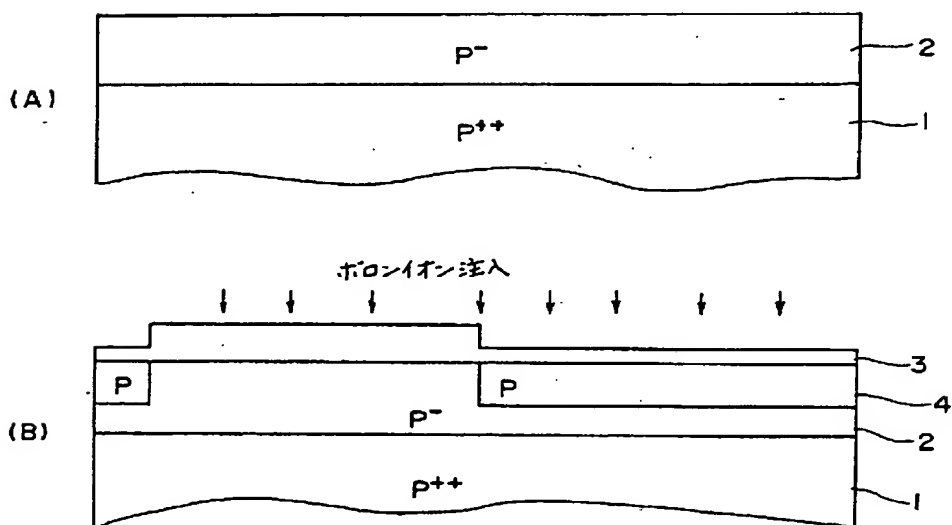


第3図



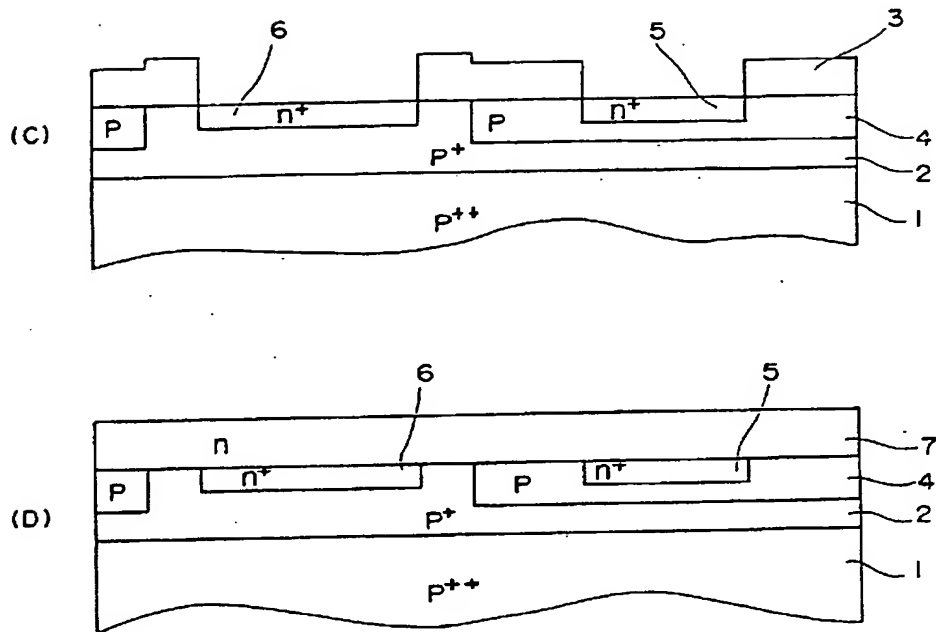
実施例

第 1 図



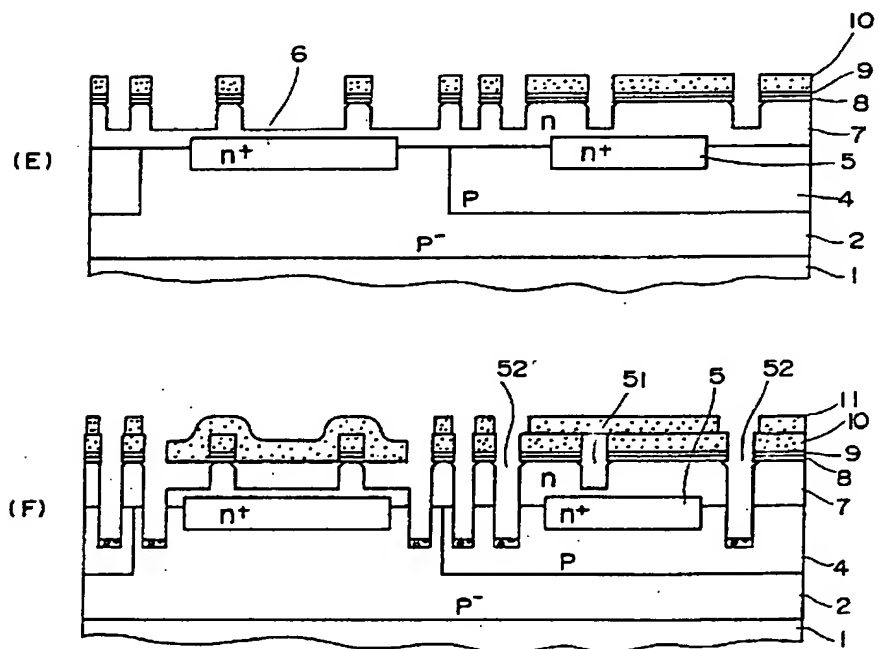
実施例の製造方法 (1)

第 2 図 (1/7)



実施例の製造方法 (2)

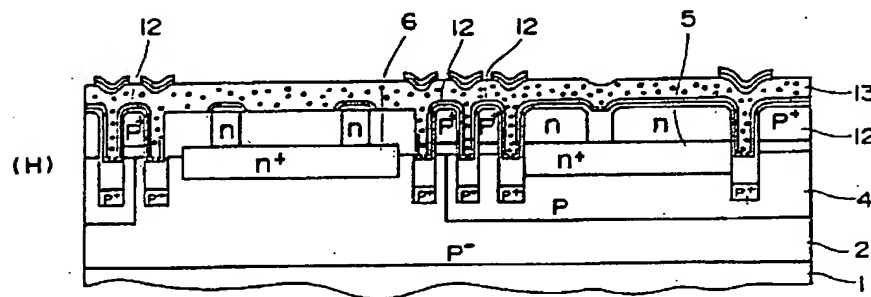
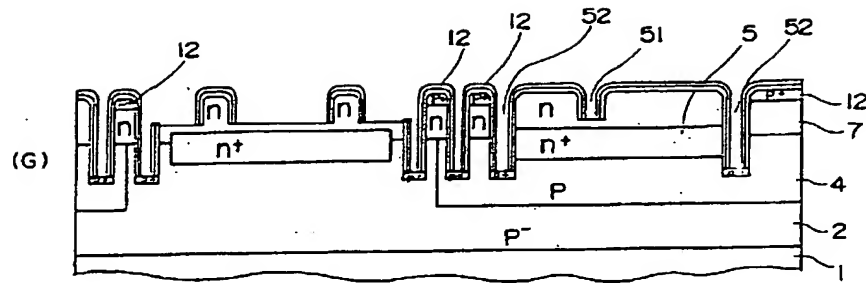
第 2 図 (2/7)



実施例の製造方法 (3)

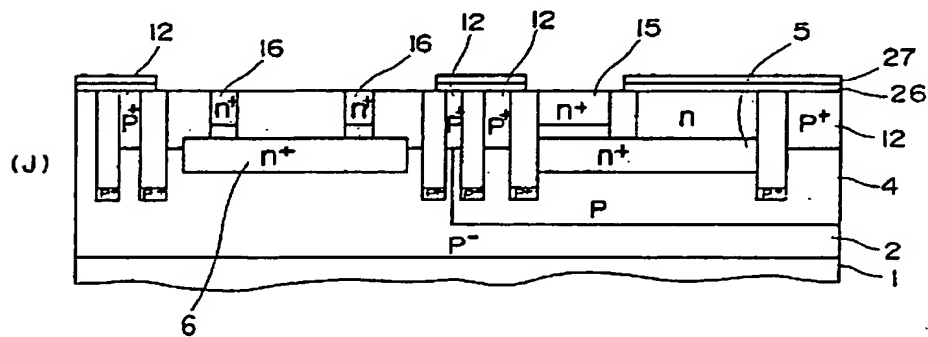
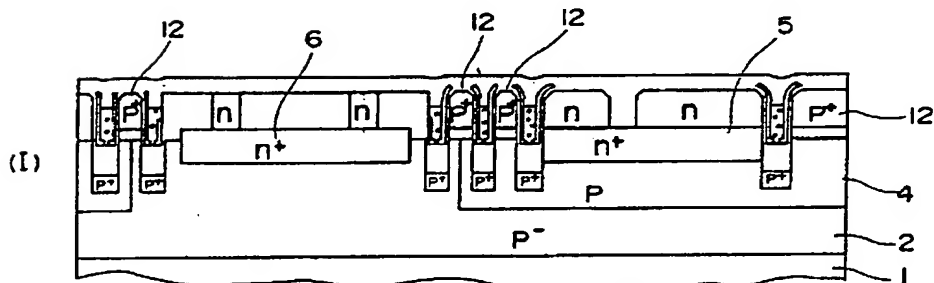
第 2 図 (3/7)





実施例の製造方法 (4)

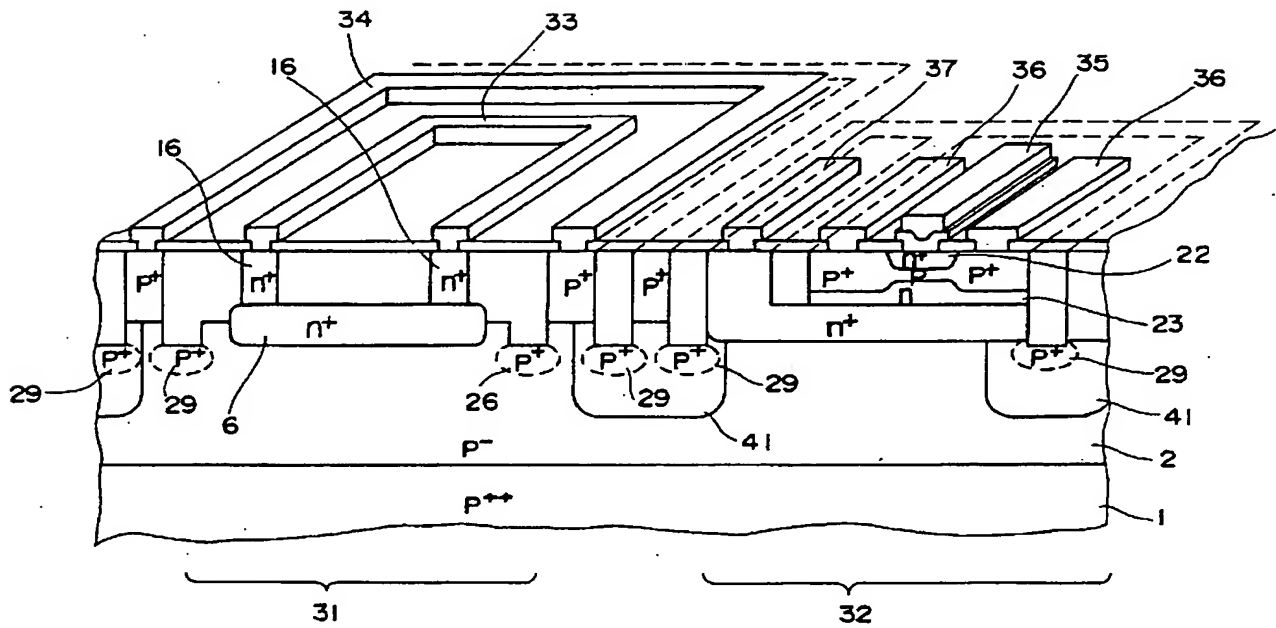
第 2 図 (4/7)



実施例の製造方法 (5)

第 2 図 (5/7)





第2の実施例

第4図

第1頁の続き

⑤Int. Cl. 3

H 01 L 21/331  
27/06  
29/73

識別記号

庁内整理番号

8225-5F H 01 L 29/72

⑦発明者 中村

浩康

静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**